

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-110071

(43)Date of publication of application : 30.04.1993

(51)Int.Cl.

H01L 29/784

H01L 21/336

(21)Application number : 03-269666. (71)Applicant : SEIKO EPSON CORP

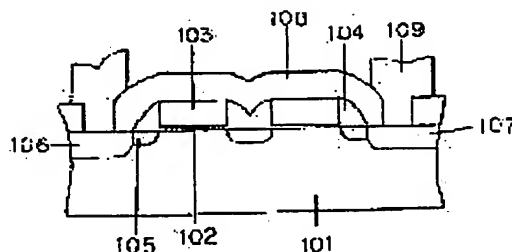
(22)Date of filing : 17.10.1991 (72)Inventor : ITO TAKAKO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To obtain a semiconductor device which is micronized and high in breakdown strength between a source and a drain by a method wherein a gate electrode is separated into two parts and a thin impurity region is provided onto a silicon substrate between the separated gate electrodes.

CONSTITUTION: A silicon oxide film 2 is formed by oxidizing a P-type substrate silicon wafer 101, a polycrystalline silicon film is formed thereon by thermally decomposing silane gas and patterned, the patterned polycrystalline silicon film is processed into a required pattern through anisotropic etching, and gate electrodes 103 separated into two at its center are formed. N-type impurities of phosphorus or arsenic are injected to form a thin N-type diffusion layer on all the surface of the silicon wafer 101, a silicon oxide film is formed on the gate electrodes 103 and a gate insulating film 102 and anisotropically etched, whereby a silicon oxide film residual on the side wall of the gate electrode 103 is made to serve as a side wall 104. N-type impurities are implanted to form high impurity regions 106 and 107 in parts under regions other than the gate electrode 103 and the side wall 104 in the substrate 101, whereby a transistor can be micronized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-110071

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784  
21/336

識別記号

庁内整理番号

F I

技術表示箇所

8225-4M  
8225-4M

H 0 1 L 29/ 78

3 0 1 G  
3 0 1 L

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号

特願平3-269666

(22)出願日

平成3年(1991)10月17日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 伊東 貴子

長野県諏訪市大和3丁目3番5号 セイコ  
ーエプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

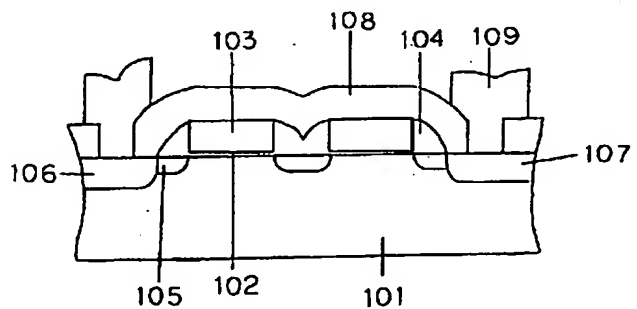
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 高耐圧トランジスタの微細化をはかり、ソース、ドレイン間の耐圧をじょうしょうさせる。

【構成】 本発明は半導体基板上に形成された高耐圧が得られるトランジスタにおいて2つ以上に分割されたゲート電極と、前記分割されたゲート電極間のシリコン基板に薄い不純物領域を有すことを特徴とする。

【効果】 前記の半導体装置をもちいることにより、従来の高耐圧トランジスタに比べ飛躍的に微細化することが出来る。また、薄い不純物領域を縮小できるため電流駆動能力の低減を防ぎ、ソース、ドレイン間の耐圧を上昇させることができる。更に濃い不純物領域の形成時に自己整合法にて不純物を打ち込むことが出来るので、工程数を減らすことができる。



**【特許請求の範囲】**

**【請求項1】** 半導体基板上に形成されたMOS型ライトリー・ドープド・ドレイントランジスタにおいてゲート電極が少なくともソース、ドレイン間で2つ以上に分離されていて、上記ゲート電極間のシリコン基板には薄い不純物領域を有することを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、MOS型トランジスタの半導体装置に関する。

**【0002】**

**【従来の技術】** 従来のMOS型高耐圧の半導体装置の構造は図2のように、シリコン基板201、ゲート酸化膜202、ゲート電極203、ゲート電極側壁の酸化膜204、ソース側の薄い不純物領域205は前記ゲート電極側壁の酸化膜204下に形成される。ドレイン側の薄い不純物領域206は高耐圧特性を得るためにゲート電極の端からドレイン領域まで長い寸法が必要である。例えば20V以上の耐圧を得るためには、薄い不純物領域206は2 $\mu$ m以上必要である。そのためソース側の薄い不純物領域及205及び濃い不純物領域207は酸化膜による自己整合法で形成できるが、ドレイン側はフォトリソマスクなどによりマスクングし、形成する必要があった。

**【0003】**

**【発明が解決しようとする課題】** したがって、前述の従来技術の半導体装置では、例えば、20Vの耐圧を有するトランジスタを作る場合、ドレイン側の薄い不純物領域は2.0 $\mu$ m、ソース側の薄い不純物領域が0.3 $\mu$ m、併せて2.3 $\mu$ mと長いため、高い寄生抵抗となり、動作時のドレインとソース間の電流は低いものであった。さらに高耐圧特性を有するトランジスタを作るためには薄い不純物領域を長く必要とする。そのため、ゲート電極の端からドレイン側のコンタクトホールまでの距離は3.0 $\mu$ m以上と長くなってしまい、高耐圧を得ながら微細化をはかるのは非常に困難である。また、薄い不純物領域を形成するためのエッチング時に薄い不純物領域もエッチングされて、薄い不純物領域の基板が削られるため、不純物濃度が低下し、電流駆動能力の低下がおきる。また、高濃度の不純物を打ち込むときに、レジストマスクなどで薄い不純物領域を確保する。そのためゲート電極及び酸化膜をマスクとした自己整合法で打ち込むことができないので工程数が多くなる。以上のような問題を有する。

**【0004】** そこで本発明は以上の様な問題点を解決するもので、その目的とするところはより微細化可能なうえにソースドレイン間耐圧が高く、電流駆動能力も高く得られ、さらに従来より工程数の少ない半導体装置を提供するところにある。

**【0005】**

**【課題を解決するための手段】** 半導体基板上に形成されたMOS型ライトリー・ドープド・ドレイントランジスタにおいてゲート電極が少なくとも2つ以上に分離されていて、上記ゲート電極間のシリコン基板には薄い不純物領域を有することを特徴とする半導体装置。

**【0006】**

**【実施例】** 図1は、本発明の1実施例に於ける半導体装置の断面図である。又、図3(a)から図3(d)は、その製造工程ごとの主要断面図である。図4はトランジスタの平面。尚、実施例の全図に於て、同一の機能を有するものには、同一の符号を付け、その繰り返しの説明は省略する。尚、本実施例は説明の都合上Nchトランジスタのものとする。

**【0007】** 以下図3(a)から図3(d)の工程断面図により製造方法を詳細に説明する。図3(a)図より、ボロンを不純物として含むP型基板シリコンウエハ101に1000℃の乾燥酸化雰囲気中で酸化を行い、20nm程度のシリコン酸化膜102を形成する。図3(b)図の如くその後前記ゲート酸化膜102上にCVD法により、シランガスを620℃で熱分解して30nmの膜厚で多結晶シリコン膜を形成する。次にフォトリソグラフィによりポジレジスト層を用いてパターン形成後、異方性エッチング工程により前記多結晶シリコンを所望のパターンに加工し、中心部が2つに分離されたMOSトランジスタのゲート電極103を形成する。次に図3(c)図よりイオン注入法により、N型の不純物、燐又は砒素を加速電圧60KeVで $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 注入し、シリコンウエハ101全面に薄いN型拡散層を形成する。次に図3(d)図より前記ゲート電極103及び前記ゲート酸化膜102上にシリコン酸化膜を40nm程度形成する。前記シリコン酸化膜を異方性エッチングすることによりシリコン酸化膜は前記ゲート電極103の側壁のみ残る。前記ゲート電極103側壁に残ったシリコン酸化膜はサイドウォール104と以後呼ぶ。この時ゲート電極の側壁にシリコン酸化膜が残るため、2つのゲート電極間のSiO<sub>2</sub>酸化膜下の薄い不純物領域はエッチングされない。次にイオン打ち込み法により、N型の不純物、燐又は砒素を加速電圧80KeVで $1 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ 打ち込み、ゲート電極及びサイドウォール104の下以外のシリコン基板に自己整合法により濃い不純物領域のソース領域106及びドレイン領域107、を形成する。

**【0008】** また、薄い不純物領域はゲート電極及びサイドウォール104以外に形成された濃い不純物領域より浅くなる。

**【0009】** 以上の工程を経て完成した半導体装置は従来の半導体装置の製造方法の薄い不純物領域の形成時に薄い不純物領域を長くするためにフォトリソグラフィ工程においてレジストマスクで調整する形成方法だったのに比べ、ゲート電極及び酸化膜をマスクとして使用する

自己整合法なので、工程が短縮できる。

【0010】本発明のトランジスタは、例えば20Vの耐圧を有する場合、図2のように中心部から2つに分かれたゲート電極間寸法は、0.5 $\mu$ m、片方のチャネル長が0.8 $\mu$ mのトランジスタであるが、図5の様に中心部が完全に分離されず、チャネル長0.5 $\mu$ m、チャネル幅分のみ穴のあいたゲート電極とその下部が薄い不純物領域で構成されたトランジスタでもよい。

【0011】以上のように本発明によれば、薄い不純物領域を形成するためのエッチング時に薄い不純物領域もエッチングされ、薄い不純物領域の基板が削られることを防げる。このため動作時電流のばらつきを低減させることが出来る。

【0012】さらに従来技術の半導体装置に比べ本発明の半導体装置の場合、ゲート電極が2つあるものと同じ効果があるため、ドレイン電圧が2分の1になり、ソースドレイン間耐圧が上昇する。そのため、従来のトランジスタで高耐圧を得るためには例えば20Vの耐圧を有する場合、ゲート電極のチャネル長が1.5 $\mu$ m、片側の薄い不純物領域が2.0 $\mu$ mであり、チャネル長と薄い不純物領域を足した長さは3.5 $\mu$ mである。また、従来条件の半導体装置のゲート電極の端からコンタクトまでの距離は3.7 $\mu$ mであったために微細化は困難であった。しかし本発明のトランジスタの場合、2つのチャネル長とオフセット長を足した長さは2.1 $\mu$ mとなり、従来技術の寸法の約3分の2の寸法ですむ。また、本発明の半導体装置のゲート電極の端からコンタクトまでの距離は2.3 $\mu$ mになり、より微細化することができる。

【0013】さらに、従来条件の薄い不純物領域の寸法が2.3 $\mu$ mであったのに対し、本発明のトランジスタの場合、薄い不純物領域の合計寸法が1.1 $\mu$ mと短くなるため電流駆動能力が高くなる。従って本発明なら微細化した上に高いソース、ドレイン間耐圧と高い電流駆動能力が得られるトランジスタを作ることが可能となる。

【0014】

【発明の効果】以上述べたように本発明によれば、MOS型ライトリイ・ドープド・ドレイントランジスタにおいて、ゲート電極が2つ以上分離されていることにより、下記に列挙する効果が得られる。

【0015】1. 薄い不純物領域を形成するためのエッチング時に薄い不純物領域まで削られることを防げるため、電流駆動能力の低減を防ぐことができる。

【0016】2. トランジスタがより微細化できる。

【0017】3. ゲート電極が2つあるため、ソース、ドレイン間の耐圧が上昇する。

【0018】4. トランジスタの薄いN型不純物領域を短くできるため、高い電流駆動能力を得ることができる。

【0019】5. 耐圧を上げるために薄い不純物領域を長くする必要がないので濃い不純物を打ち込むときにマスクを使わず、ゲート電極及び酸化膜をマスクとした自己整合法にて打ち込むことが出来るために工程数が減るという効果を有する。

【図面の簡単な説明】

【図1】本発明に於ける高耐圧トランジスタの断面図。

【図2】従来条件に於ける高耐圧トランジスタの断面図。

【図3】(a)から(d)は本発明に於ける半導体装置の製造工程毎の主要断面図。

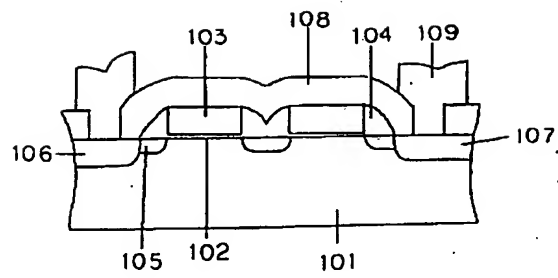
【図4】本発明に於ける高耐圧トランジスタの平面図。

【図5】本発明に於ける高耐圧トランジスタの平面図の一例図。

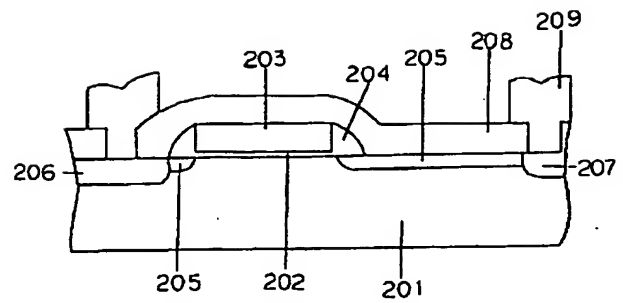
【符号の説明】

101 ,	201 ,	301	シリコン基板
102 ,	202 ,	302	ゲート酸化膜
103 ,	203 ,	303	ゲート電極
401 ,	501 , 104 ,	204 , 305	サイドウォール
105 ,	205 ,	206	薄い不純物領域
206 ,	304 ,	402	
502			
106 ,	207 ,	208	濃い不純物領域
306 ,	307 ,	403	
503			
108 ,	208		絶縁層
109 ,	209		AL配線

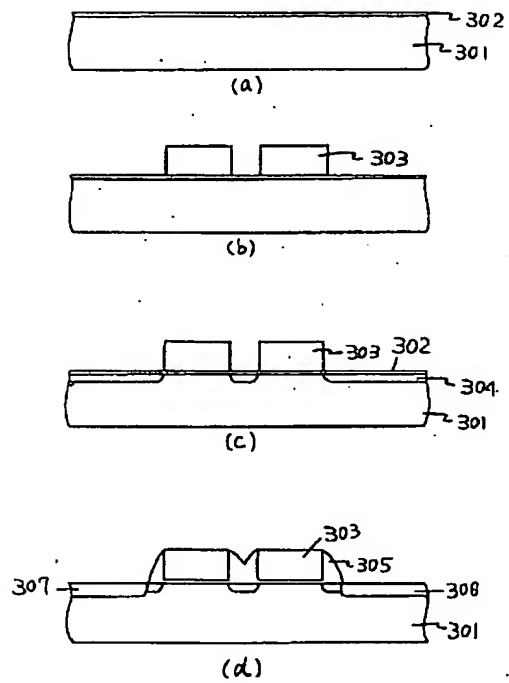
【図1】



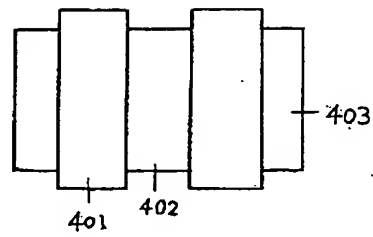
【図2】



【図3】



【図4】



【図5】

